

## LIQUID CRYSTAL DISPLAY DEVICE

publication number: JP2002132228

publication date: 2002-05-09

Inventor: TAKAOKA HIRONORI; OURA HISAHARU; SHIBATA SUSUMU; IKEMOTO TETSUYA

Applicant: ADVANCED DISPLAY KK

Classification:

- international: G02F1/1335; G02F1/133; G02F1/13357; G09G3/20; G09G3/34; G09G3/36; H04N5/66; G02F1/13; G09G3/20; G09G3/34; G09G3/36; H04N5/66; (IPC1-7): G09G3/36; G02F1/133; G02F1/13357; G09G3/20; H04N5/66

- european: G09G3/34B; G09G3/36C16

Application number: JP20000327208 20001026

priority number(s): JP20000327208 20001026

Also published as:



US6822633 (B2)

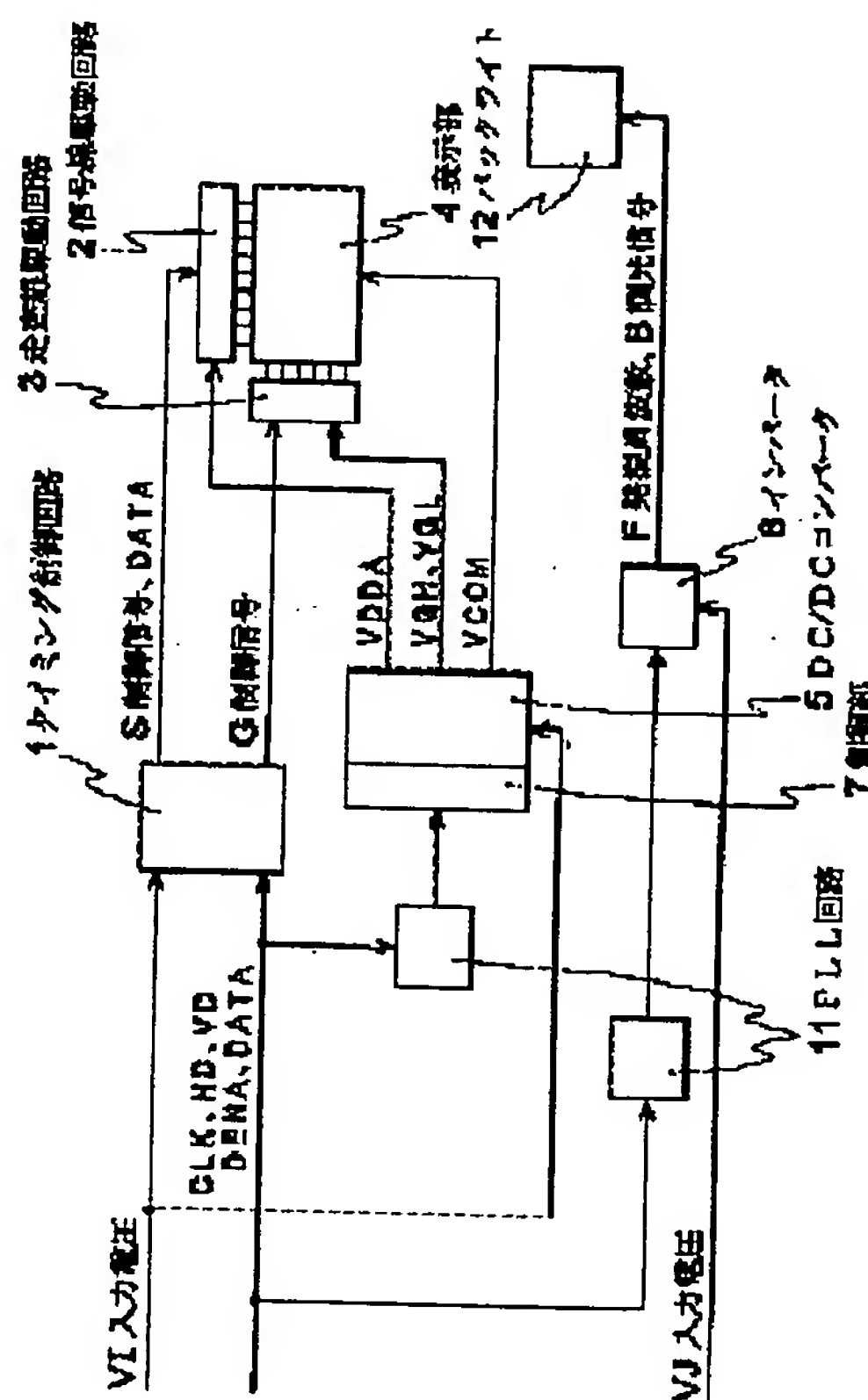
US2002050973 (A1)

Report a data error here

## Abstract of JP2002132228

**PROBLEM TO BE SOLVED:** To obtain a high-quality display by preventing interference fringes on a display screen from occurring due to switching noise of a DC-DC converter.

**SOLUTION:** The switching frequency of the DC-DC converter is synchronized with the control signal in phase by inputting an input signal to the timing control circuit into a PLL circuit, and controlling the DC-DC converter with the output of the PLL circuit.



Data supplied from the esp@cenet database - Worldwide

(11)特許出願公開番号

(43)公開日 平成14年5月9日(2002.5.9)

弁理士 朝日奈 宗太 (外1名)

The diagram illustrates the internal architecture of a video signal processing system. It features several interconnected functional blocks and signal paths:

- Input Stage:** Receives **VI 入力電圧** (VI input voltage) and **VII 入力電圧** (VII input voltage).
- Control and Timing:**
  - 1 タイミング制御回路** (Timing control circuit) receives **CLK, HD, VD DENA, DATA** signals.
  - 3 走査線駆動回路** (Scan line drive circuit) receives **2 信号線駆動回路** (Signal line drive circuit) inputs.
  - 7 制御部** (Control section) receives **5 DC/DCコンバータ** (DC/DC converter) outputs and provides control signals to the timing and drive circuits.
- Signal Processing:**
  - S 制御信号, DATA** (S control signal, DATA) and **G 制御信号** (G control signal) are processed by the timing control circuit.
  - VDDA, VGH, VGL, VCOM** are power and bias signals for the processing stage.
  - 4 表示部** (Display section) receives the processed signals.
  - 12 バックライト** (Backlight) is connected to the display section.
- Output and Feedback:**
  - F 聚光周波数, B 周光信号** (Focusing frequency, B optical signal) is generated by the system.
  - 8 インバータ** (Inverter) and **11 PLL回路** (PLL circuit) are used for signal conditioning and frequency stabilization.

## 【特許請求の範囲】

【請求項1】 入力電圧から信号線駆動回路用電圧、走査線駆動回路用電圧および対向電極電圧を生成するDC/DCコンバータと、

入力信号から、信号線駆動回路用制御信号、走査線駆動回路用制御信号を生成するタイミング制御回路と、  
前記信号線駆動回路用電圧と信号線駆動回路用制御信号とが供給され、信号線に信号線電圧を出力する信号線駆動回路と、

前記走査線駆動回路用電圧と走査線駆動回路用制御信号とが供給され、走査線に走査線電圧を出力する走査線駆動回路とを備える液晶表示装置であって、  
前記信号線駆動回路用電圧、走査線駆動回路用電圧および対向電極電圧のスイッチング周波数の位相と、前記信号線駆動回路用制御信号および走査線駆動回路用制御信号の位相とを同期させたことを特徴とする液晶表示装置。

【請求項2】 ランプ点灯用インバータをさらに備え、  
前記信号線駆動回路用電圧、走査線駆動回路用電圧および対向電極電圧のスイッチング周波数の位相と、前記信号線駆動回路用制御信号および走査線駆動回路用制御信号の位相と、前記インバータの発振周波数の位相とを同期させたことを特徴とする請求項1記載の液晶表示装置。

【請求項3】 PWM調光方式インバータをさらに備え、  
前記信号線駆動回路用電圧、走査線駆動回路用電圧および対向電極電圧のスイッチング周波数の位相と、前記信号線駆動回路用制御信号および走査線駆動回路用制御信号の位相と、前記インバータの発振周波数の位相と、調光信号の位相とを同期させたことを特徴とする請求項1記載の液晶表示装置。

【請求項4】 入力電圧から信号線駆動回路用電圧、走査線駆動回路用電圧および対向電極電圧を生成するDC/DCコンバータと、

入力信号から、信号線駆動回路用制御信号、走査線駆動回路用制御信号を生成するタイミング制御回路と、  
前記信号線駆動回路用電圧と信号線駆動回路用制御信号とが供給され、信号線に信号線電圧を出力する信号線駆動回路と、

前記走査線駆動回路用電圧と走査線駆動回路用制御信号とが供給され、走査線に走査線電圧を出力する走査線駆動回路と、

前記入力信号の少なくとも一部が入力されるPLL回路とを備える液晶表示装置であって、

前記PLL回路の出力に同期して前記DC/DCコンバータが動作することを特徴とする液晶表示装置。

【請求項5】 バックライトのランプを点灯させるためのインバータと、

入力電圧から信号線駆動回路用電圧、走査線駆動回路用電圧および対向電極電圧を生成するDC/DCコンバー

タと、

入力信号から、信号線駆動回路用制御信号、走査線駆動回路用制御信号を生成するタイミング制御回路と、

前記信号線駆動回路用電圧と信号線駆動回路用制御信号とが供給され、信号線に信号線電圧を出力する信号線駆動回路と、

前記走査線駆動回路用電圧と走査線駆動回路用制御信号とが供給され、走査線に走査線電圧を出力する走査線駆動回路と、

10 前記入力信号の少なくとも一部が入力されるPLL回路とを備える液晶表示装置であって、

前記PLL回路の出力に同期して前記DC/DCコンバータおよび前記インバータが動作することを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶表示装置の駆動回路および液晶表示装置のバックライト点灯用のインバータに関するものである。

## 20 【0002】

【従来の技術】液晶表示装置の表示部は、縦横にマトリクス状に配置された多数の画素からなる。表示部の各画素には、薄膜トランジスタ（以下、TFTという）などのスイッチング素子が設けられており、走査線および信号線へと接続されている。さらに、TFTには画素電極が接続されている。走査線に信号を与えてTFTをONにすると、信号線の電位が画素電極へと印加される。画素電極と、別途設けられる対向電極とのあいだに形成される電界によって液晶が駆動され、表示が行なわれる。

30 【0003】画素電極に電位を与えるための回路構成およびその動作を、さらに詳しく説明する。図3に示すように、入力信号としてクロック信号CLK、水平同期信号HD、垂直同期信号VD、有効表示期間規定信号DEN A、データ信号DATAなどがタイミング制御回路1に入力される。これらの入力信号のあいだでは、あらかじめ互いの位相同期がとられている。タイミング制御回路1は、これらの入力信号から信号線駆動回路用制御信号（制御信号S）および走査線駆動回路用制御信号（制御信号G）を生成し、信号線駆動回路用制御信号（制御信号S）はデータ信号DATAとともに信号線駆動回路2に、走査線駆動回路用制御信号（制御信号G）は走査線駆動回路3にそれぞれ入力される。

【0004】信号線駆動回路2は、DC/DCコンバータ5から出力される信号線駆動回路用電圧VDDAを電源として、制御信号Sとデータ信号DATAをもとに各信号線にそれぞれ所望の信号線電圧VSを出力する。一方、走査線駆動回路3は、DC/DCコンバータ5から出力される走査線駆動回路用電圧VGH、VGLを電源として、制御信号Gをもとに各走査線に走査線電圧VGを出力する。

【0005】図5に、表示部4に入力される走査線電圧VG、信号線電圧VSおよび表示部4の対向電極に入力される対向電極電圧VCOMのタイミングチャートを示す。図5の上段には、n本目の走査線の走査線電圧VG<sub>n</sub>、およびn+1本目の走査線の走査線電圧VG<sub>n+1</sub>の波形が、下段には、m本目の信号線の信号線電圧VS、および対向電極電圧VCOMの波形が示してある。

【0006】表示部4の薄膜トランジスタ(TFT)は、走査線電圧VGがVGH電位にあるときONとなり、信号線電圧VSが画素電極へと印加される。その後、走査線電圧VGがVGH電位からVGL電位へと遷移するとTFTはOFFとなり、画素電極は信号線から切り離され、以後ふたたびTFTがONとなるまでのあいだ、理想的にはVS電位が保持される。したがって、この期間に液晶に印加されている電圧は、理想的には、TFTがOFFとなった時点での画素電極と対向電極とのあいだの電位差 $|VS - VCOM|$ 、つまり図中のVで表わされる。

【0007】ところが、従来の液晶表示装置では、図5に示すように、信号線電圧VSおよび対向電極電圧VCOMにはDC/DCコンバータ5のスイッチングノイズがのっており、また、走査線電圧VGや信号線電圧VSとDC/DCコンバータ5のスイッチング動作とのあいだの同期はとられていない。

【0008】このため、n本目の走査線電圧VG<sub>n</sub>がVGL電位となってTFTがOFFする瞬間の $|VS - VCOM| = V_n$ と、n+1本目の走査線電圧VG<sub>n+1</sub>がVGL電位となってTFTがOFFする瞬間の $|VS - VCOM| = V_{n+1}$ とは異なった値となる。つまり、同じ信号線電圧VSが印加されていても、実際に液晶に印加される電圧 $|VS - VCOM|$ は走査線ごとに異なったものとなり、これが表示画面上の干渉縞(ビートノイズ)として視認される。

【0009】また、液晶表示装置には通常、光源としてバックライト12を備えている。バックライト12は、冷陰極管などのランプと、ランプを点灯させるためのインバータからなり、インバータの発振出力電圧によりランプを点灯させている。

【0010】さらにインバータは、バックライトの輝度を調整するための調光機能を有している。一般に調光機能としては、インバータ出力のデューティ比を変化させてランプの輝度を変えるPWM調光方式が用いられる。

【0011】このインバータの発振周波数や調光信号も、走査線電圧VGや信号線電圧VSおよびDC/DCコンバータのスイッチング周波数とは同期されていない。図6に信号線電圧VS、DC/DCコンバータスイッチング周波数、インバータ発振周波数およびノイズの影響を受けたVCOMのタイミングチャートを示す。

【0012】図6から明らかなように、信号線電圧VS、DC/DCコンバータスイッチング周波数およびイ

ンバータ発振周波数の位相が同期していないため、走査線選択期間t<sub>H</sub>の終了時のVCOM電位は常に変化する。したがって、各走査線ごとに $|VS - VCOM| = V$ が異なったものとなるため、表示画面に干渉縞が視認され表示の劣化が生じる。

【0013】また、信号線駆動回路用電圧VDDA、走査線駆動回路用電圧VGH、VGLについても同様に電位の変動が生じる。さらに、インバータの調光信号についても信号線電圧VSおよびDC/DCコンバータスイッチング周波数と非同期であり、同様の表示劣化が生じる。

【0014】

【発明が解決しようとする課題】そこで本発明は、このDC/DCコンバータのスイッチングノイズによって生じる表示画面の干渉縞を防止し、高品質な表示を得ることを目的とする。

【0015】さらに、バックライトのインバータ周波数および調光信号による影響を排除し、干渉縞のない良好な表示を得ることを目的とする。

【0016】

【課題を解決するための手段】本発明の液晶表示装置は、PLL回路を用いることによって、DC/DCコンバータのスイッチング周波数を、タイミング制御回路から出力される制御信号と同期させたことを特徴とする。

【0017】また、タイミング制御回路に入力される入力信号を基準とするPLL回路を用いることによって、液晶表示装置のバックライトのランプを点灯させるインバータの発振周波数、スイッチング動作をしているPWM調光方式の調光信号を、タイミング制御回路から出力される制御信号と同期させたことを特徴とする。

【0018】

【発明の実施の形態】本発明の実施の形態を図面を参照して説明する。

【0019】実施の形態1

本実施の形態では、DC/DCコンバータのスイッチング周波数とタイミング制御回路から出力される制御信号とを同期させることを特徴とする。

【0020】DC/DCコンバータのスイッチング周波数とタイミング制御回路から出力される制御信号とを同期させる方法を、図1を用いて説明する。

【0021】図1は、本実施の形態の液晶表示装置のブロック図である。外部から入力信号としてクロック信号CLK、水平同期信号HD、垂直同期信号VD、有効表示期間規定信号DENA、データ信号DATAなどがタイミング制御回路1に入力される。これらの入力信号のあいだでは、あらかじめ位相の同期がとられている。タイミング制御回路1において、信号線駆動回路2を動作させる信号線駆動回路用制御信号(制御信号S)と走査線駆動回路3を動作させる走査線駆動回路用制御信号(制御信号G)が生成され、各駆動回路に入力される。



【0022】また、外部からの入力電圧 $V_I$ が、タイミング制御回路1とDC/DCコンバータ5に供給される。このDC/DCコンバータ5により信号線駆動回路用電圧 $V_{DDA}$ と走査線駆動回路用電圧 $V_{GH}$ および $V_{GL}$ 、表示部4の対向電極の電源となる電圧 $V_{COM}$ が生成される。

【0023】信号線駆動回路2は、DC/DCコンバータ5から出力される信号線駆動回路用電圧 $V_{DDA}$ を電源として、制御信号 $S$ とデータ信号 $DATA$ をもとに、各信号線に所望の信号線電圧 $V_S$ を出力する。走査線駆動回路3は、DC/DCコンバータ5から出力される走査線駆動回路用電圧 $V_{GH}$ 、 $V_{GL}$ を電源として、制御信号 $G$ をもとに各走査線に走査線電圧 $V_G$ を出力する。

【0024】DC/DCコンバータ5にて生成される電圧のスイッチング周波数と、タイミング制御回路1から出力される制御信号 $S$ 、 $G$ とのあいだの位相の同期をとるために、PLL回路11を設ける。タイミング制御回路1に入力される各種の入力信号のうちのいずれかを、PLL回路11内の位相比較器8に入力する。PLL回路11には、さらにVCO（電圧制御発信器）10と1/N分周器9が備えられており、位相比較器8に入力された信号と同期し、かつN倍の周波数を有する信号を生成して出力する。

【0025】PLL回路11から出力された信号は、DC/DCコンバータ5内の制御部7に入力される。したがって、DC/DCコンバータ5は各種の入力信号 $CLK$ 、 $HD$ 、 $VD$ 、 $DENA$ 、 $DATA$ と位相同期がとられたスイッチング周波数にて動作する。これにより、DC/DCコンバータ5の出力電圧 $V_{DDA}$ 、 $V_{GH}$ 、 $V_{GL}$ 、 $V_{COM}$ は、各種の入力信号 $CLK$ 、 $HD$ 、 $VD$ 、 $DENA$ 、 $DATA$ と位相が同期される。なお、PLL回路11からの信号が入力されるまでは、DC/DCコンバータ5はフリーランにて動作する。

【0026】図4に、本実施の形態における走査線電圧 $V_G$ 、信号線電圧 $V_S$ および対向電極電圧 $V_{COM}$ の波形を示す。図4の上段には、 $n$ 本目の走査線の走査線電圧 $V_{Gn}$ 、および $n+1$ 本目の走査線の走査線電圧 $V_{Gn+1}$ の波形が、下段には、 $m$ 本目の信号線の信号線電圧 $V_S$ 、および対向電極電圧 $V_{COM}$ の波形が示してある。

【0027】信号線電圧 $V_S$ および対向電極電圧 $V_{COM}$ の波形には、DC/DCコンバータ5のスイッチングノイズが現われている。しかし、本実施の形態においては、タイミング制御回路1に入力される各種の入力信号とDC/DCコンバータ5の出力電圧とは位相が同期されている。制御信号 $S$ 、 $G$ は入力信号をもとに生成され、また、走査線電圧 $V_G$ 、信号線電圧 $V_S$ は制御信号 $S$ 、 $G$ をもとに生成されるので、必然的にこれらはすべて同期されている。すなわち、走査線電位 $V_G$ によるTFTのON・OFFがDC/DCコンバータ5のスイ

ッチング周波数と同期して行なわれるため、各走査線ごとの $|V_S - V_{COM}| = V$ はスイッチングノイズの有無にかかわらず一定値となる。

【0028】したがって、干渉縞の発生はなく、良好な表示を得ることができる。

【0029】実施の形態2

前記した実施の形態1に、さらに、バックライトおよびバックライトのランプを点灯するためのインバータを設置した例を示す。

【0030】図2に、本実施の形態の液晶表示装置のブロック図を示す。実施の形態1で述べたように、タイミング制御回路1への入力信号をPLL回路11に入力し、PLL回路11の出力でDC/DCコンバータ5を制御することにより、DC/DCコンバータ5のスイッチング周波数と制御信号の位相を同期させる。

【0031】さらに、任意の入力信号をPLL回路に入力し、PLL回路11からの出力信号を用いてインバータ6を発振出力させる。これにより、インバータ6の発振周波数についても、制御信号との位相同期をとることができる。

【0032】インバータ6の発振周波数と制御信号の位相とが同期されることにより、走査線ごとの $|V_S - V_{COM}|$ は一定値となり、干渉縞のない良好な表示を得ることができる。

【0033】また同様に、PWM調光の調光信号も制御信号との位相同期をとるとよい。これにより、走査線ごとの $|V_S - V_{COM}|$ が一定値となり、干渉縞は発生せず良好な表示を得ることができる。

【0034】

【発明の効果】本発明によれば、DC/DCコンバータから出力される電圧のスイッチング周波数を、タイミング制御回路より出力される制御信号と位相を同期させることにより、走査線ごとの $|V_S - V_{COM}|$ の値の変動すなわちスイッチングノイズを実効的に低下させ、表示画面上への干渉縞の発生を抑制して高品質な表示を得ることができる。

【0035】また、バックライトのランプ点灯用インバータの発振周波数や調光信号についても制御信号と位相同期をとることで、周波数干渉を低減させ干渉縞の発生を抑え良好な表示を得ることができる。

【0036】制御信号とDC/DCコンバータのスイッチング周波数、さらにはインバータの発振周波数と調光信号という、液晶表示装置内のすべての信号の位相同期をとることで、表示部に印加される電位差ノイズを低減させ、表示画面上への干渉縞の発生を抑制し、高品質な表示を得ることが可能である。

【図面の簡単な説明】

【図1】本発明の実施の形態1を説明するブロック図である。

【図2】本発明の実施の形態2を説明するブロック図で

ある。

【図3】従来の液晶表示装置を示すブロック図である。

【図4】本発明によって位相を同期させた各信号の波形である。

【図5】従来の各信号の波形である。

【図6】従来のインバータを備える液晶表示装置について、各信号の波形を示した図である。

【符号の説明】

1 タイミング制御回路

2 信号線駆動回路

3 走査線駆動回路

4 表示部

5 DC/DCコンバータ

6 インバータ

7 DC/DCコンバータ制御部

8 位相比較器

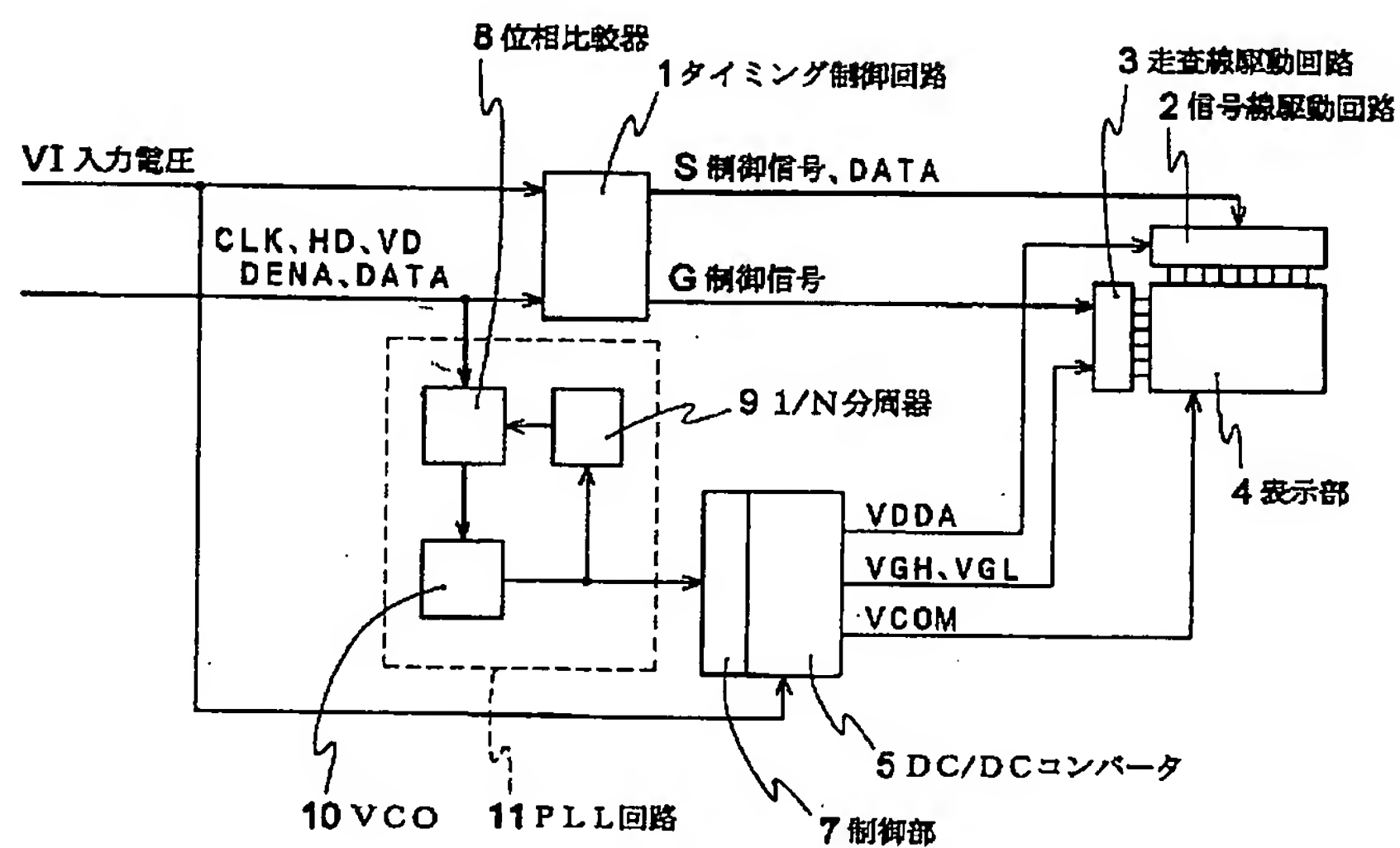
9 1/N分周器

10 VCO

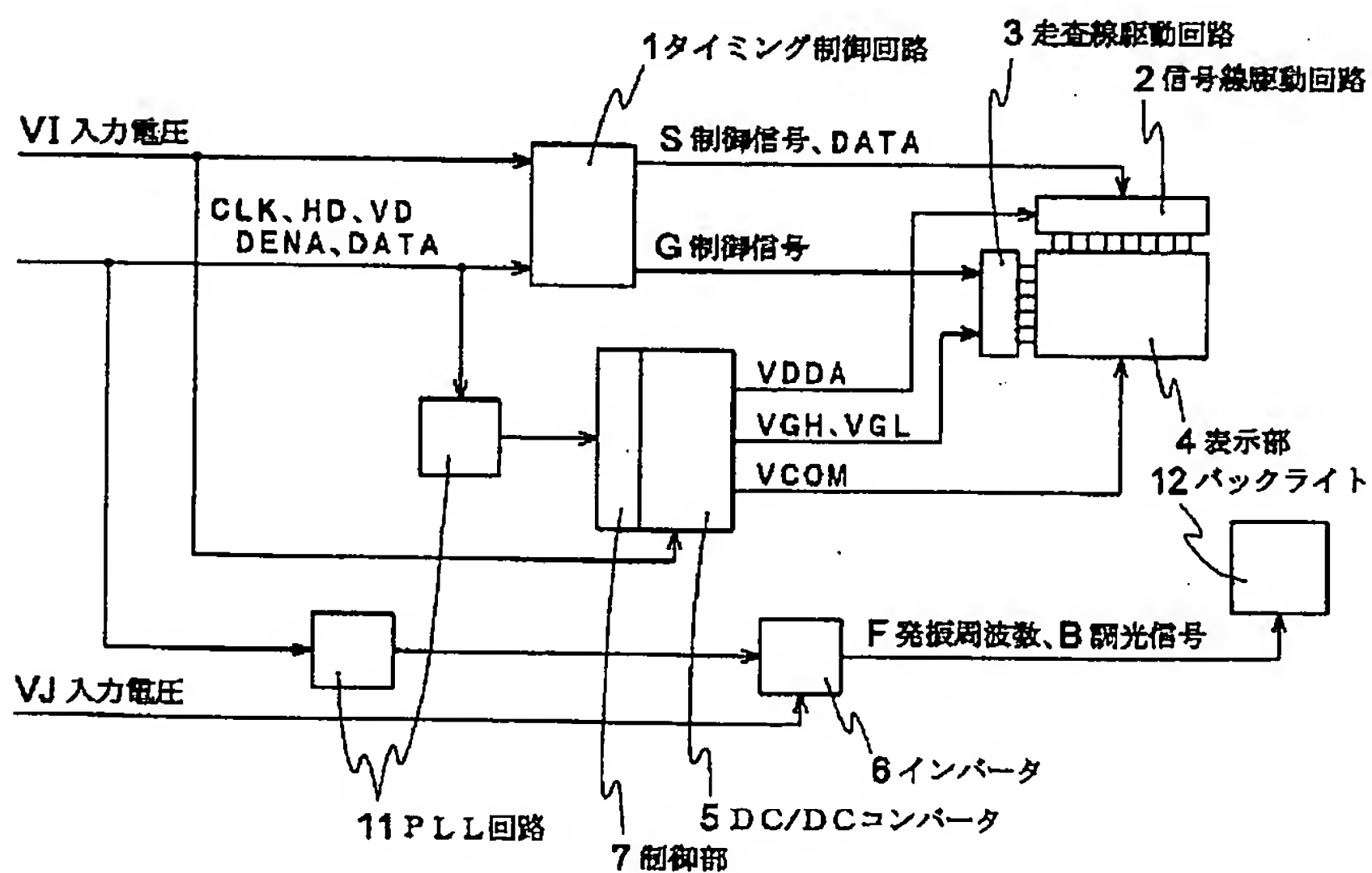
11 PLL回路

10 12 バックライト

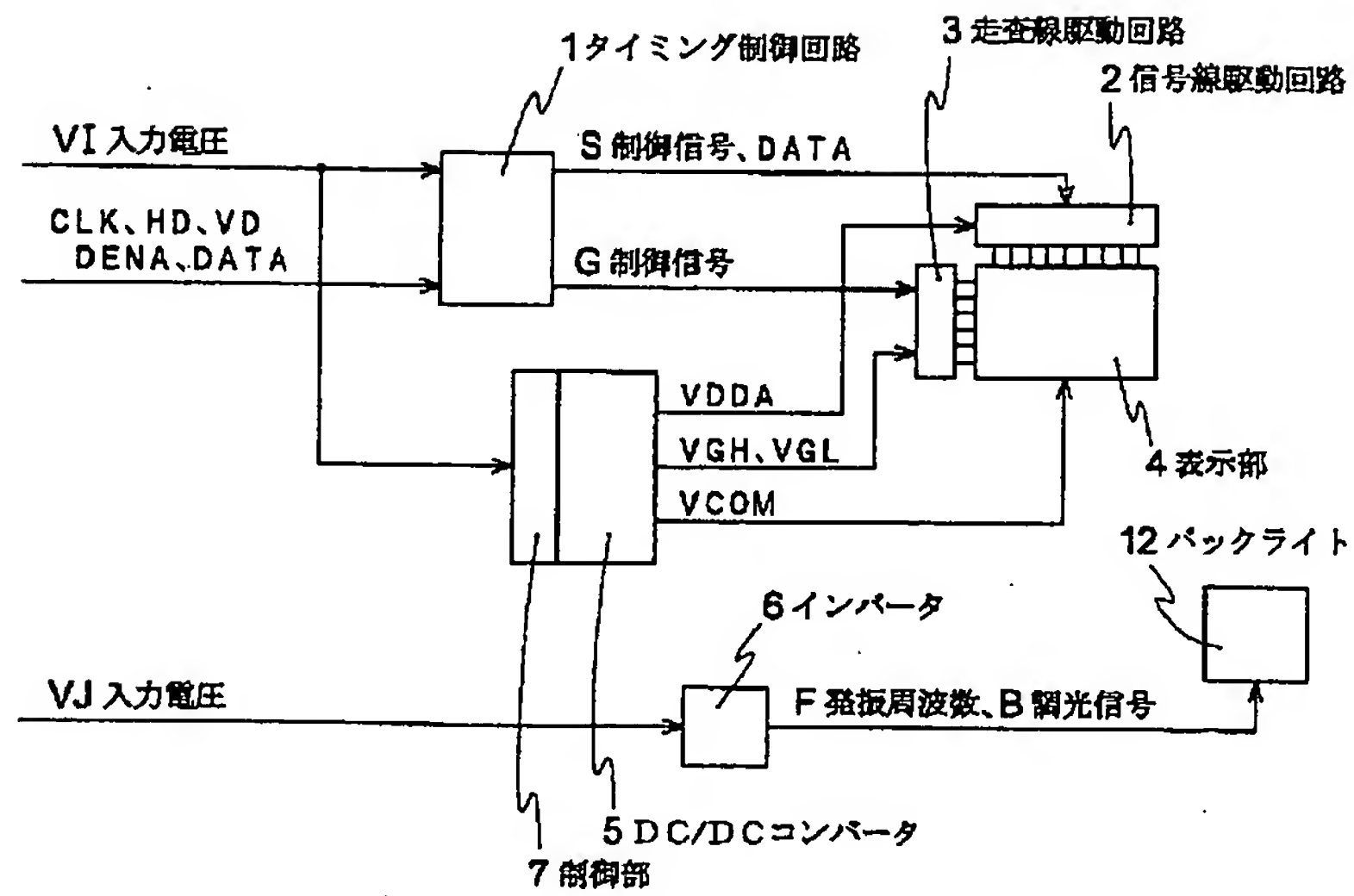
【図1】



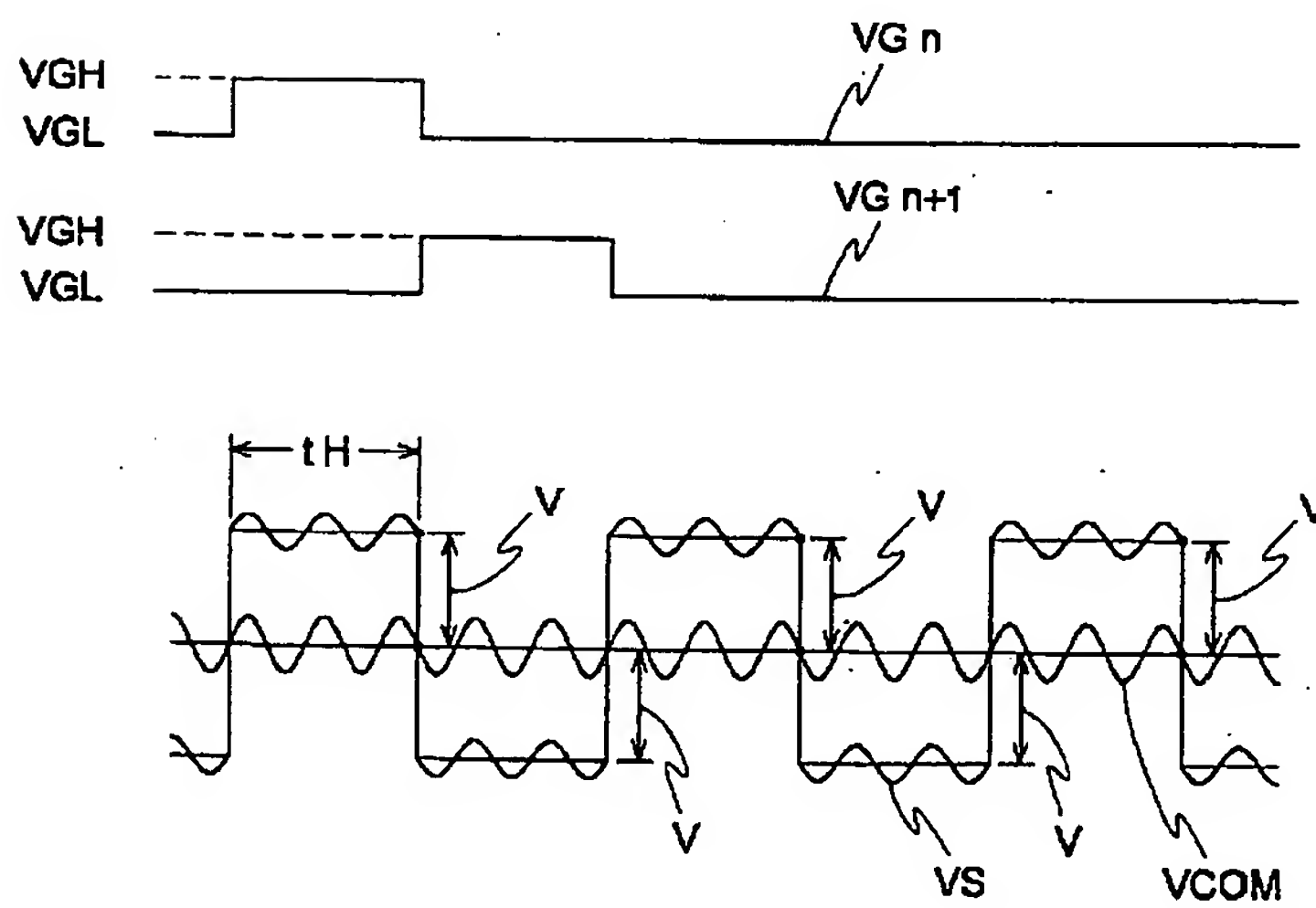
【図2】



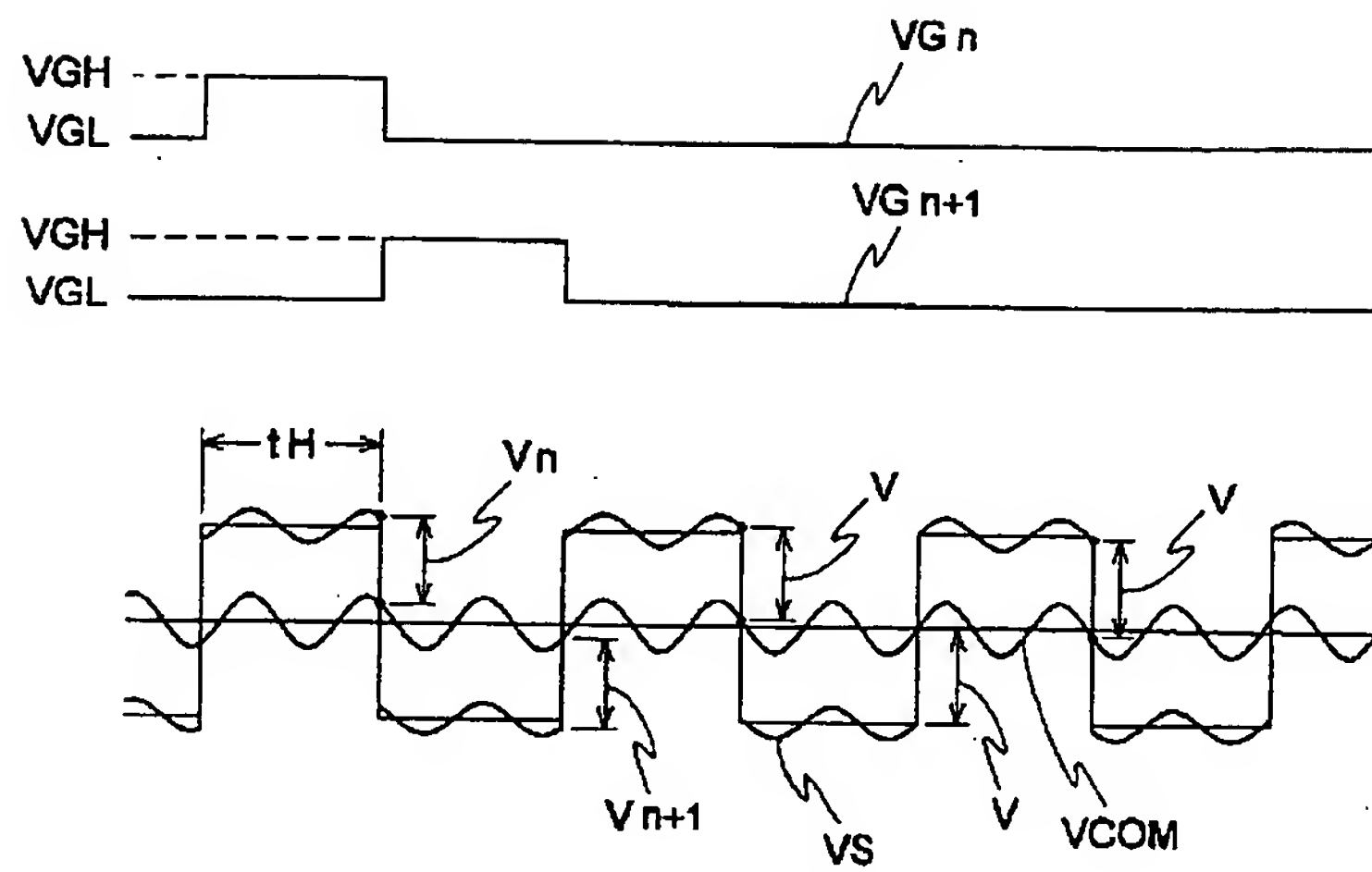
【図3】



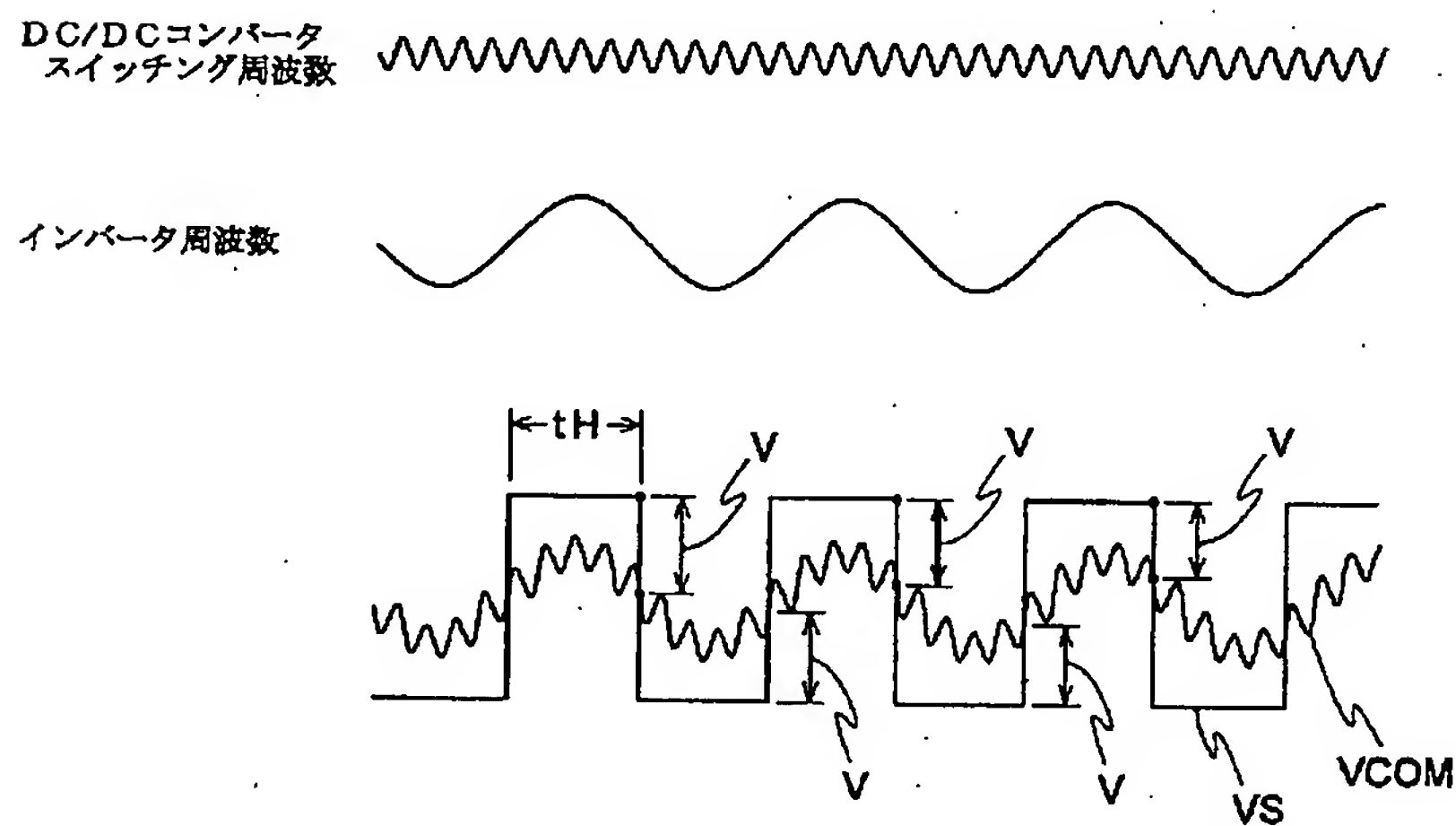
【図4】



【図5】



【図6】



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト*(参考)
G 0 9 G 3/20	6 2 1	H 0 4 N 5/66	1 0 2 B
H 0 4 N 5/66	1 0 2	G 0 2 F 1/1335	5 3 0

- (72)発明者 柴田 晋  
 熊本県菊池郡西合志町御代志997番地 株  
 式会社アドバンスト・ディスプレイ内
- (72)発明者 池本 哲也  
 熊本県菊池郡西合志町御代志997番地 株  
 式会社アドバンスト・ディスプレイ内



Fターム(参考) 2H091 FA41Z GA12 LA21  
2H093 NC05 NC09 NC11 NC16 NC21  
NC44 ND05 ND40  
5C006 BB16 BF41 BF42 EA01 FA16  
FA31  
5C058 AA06 AB03 BA02 BA04 BB08  
BB10 BB25  
5C080 AA10 BB05 DD01 DD12 FF11  
JJ02 JJ04